



KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000056517 A
(43)Date of publication of application: 15.09.2000

(21)Application number: 1019990005908

(22)Date of filing: 23.02.1999

(30)Priority:

(51)Int. Cl. H01L 21/331

(71)Applicant:

LG.PHILIPS LCD CO., LTD.

(72)Inventor:

WOO, JAE IK

(54) METHOD FOR MANUFACTURING THIN FILM TRANSISTOR

(57) Abstract:

PURPOSE: A method for manufacturing a thin film transistor(TFT) is provided to reduce the number of etching processes for forming a gate electrode by simultaneously forming a barrier layer and a copper wiring layer. CONSTITUTION: A method for manufacturing a thin film transistor(TFT) comprises the steps of: sequentially forming a barrier layer of CuN, a copper wiring layer, and a cap layer on an insulating substrate; and patterning the cap layer, the copper wiring layer, and the barrier layer to form a wiring, in which the copper wiring layer and barrier layer are etched at a time.

COPYRIGHT 2000 KIPO



Legal Status

Date of request for an examination (19990223)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20010628)

Patent registration number (1003031410000)

Date of registration (20010709)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/331

(11) 공개번호 특2000-0056517
(43) 공개일자 2000년09월15일

(21) 출원번호	10-1999-0005908
(22) 출원일자	1999년02월23일
(71) 출원인	엘지.필립스 엘시디 주식회사 구본준 서울특별시 영등포구 여의도동 20번지엘지.필립스 엘시디 주식회사 론 위 라하디락사 서울특별시 영등포구 여의도동 20번지
(72) 발명자	우재익 경기도안산시사동1289-13
(74) 대리인	양순석

심사청구 : 있음

(54) 박막트랜지스터의 제조방법

요약

본 발명은 박막트랜지스터의 제조방법에 관한 것으로서 석영 또는 유리 등의 절연기판 상에 질화구리(Cu_N)의 장벽층, 구리배선층 및 캡층을 순차적으로 형성하는 공정과, 상기 캡층, 구리배선층 및 장벽층을 패터닝하여 배선을 형성하고 적어도 상기 구리배선층 및 장벽층을 한 번에 식각하는 공정을 구비한다. 따라서, 장벽층과 구리배선층을 동시에 식각하므로 게이트전극을 형성하기 위한 식각 공정 수가 감소된다.

대표도

도2a

색인어

박막트랜지스터의 제조방법

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 기술에 따른 박막트랜지스터의 제조 공정도

도 2a 내지 도 2c는 본 발명에 따른 박막트랜지스터의 제조 공정도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 박막트랜지스터의 제조방법에 관한 것으로서, 특히, 게이트전극을 저저항 금속인 구리로 형성하는 박막트랜지스터의 제조방법에 관한 것이다.

액정표시장치는 박막트랜지스터(Thin Film Transistor)로 이루어진 구동소자인 스위칭 소자와 빛을 투과하거나 반사하는 화소(pixel) 전극을 기본단위로 하는 화소가 매트릭스 구조로 배열된 구조를 가진다.

박막트랜지스터는 액정표시장치가 대면적화될수록 게이트 신호의 지연을 방지하기 위해 게이트전극을 구리(Cu) 등의 저저항 금속으로 형성한다. 구리는 이온의 크기가 작으므로 실리콘 또는 산화실리콘으로 확산이 잘 된다. 그러므로, 산화실리콘으로 이루어진 절연기판 상에 구리로 게이트를 형성하면 구리가 절연기판으로 확산되어 경계 프로파일이 명확하지 않고 접착력이 저하되게 된다. 따라서, 구리를 증착하기 전에 절연기판 상에 장벽층을 형성하여 구리가 절연기판으로 확산되는 것을 방지하여 접착 특성을 향상시킨다.

도 1a 내지 도 1d는 종래 기술에 따른 박막트랜지스터의 제조 공정도이다.

도 1a를 참조하면, 석영 또는 유리 등의 절연기판(11) 상에 스퍼터링(sputtering) 등의 방법으로 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo), 크롬(Cr), 니켈(Ni) 또는 백금(Pt) 등의 고용점 금속이나, 파라듐(Pd) 등을 증착하여 장벽층(13)을 형성한다. 그리고, 장벽층(13) 상에 스퍼터링 등의 방법으로 구리배선층(15)

을 형성하고, 이 구리배선층(15) 상에 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo), 크롬(Cr), 니켈(Ni) 또는 백금(Pt) 등의 고용점 금속을 증착하여 캡층(17)을 형성한다.

캡층(17) 상에 포토레지스트를 도포하고 노광 및 현상하여 캡층(17)의 소정 부분을 제외한 나머지 부분을 노출시키는 마스크(19)를 형성한다. 마스크(19)를 식각 마스크로 사용하여 캡층(17)의 노출된 부분을 불산(HF)으로, 구리배선층(15)을 인산(H_3PO_4), 질산(HNO_3), 초산 또는 $(NH_4)_2S_2O_8$ 등으로 각각 습식 식각하여 장벽층(13)을 노출시킨다.

도 1b를 참조하면, 계속해서, 마스크(19)를 식각 마스크로 장벽층(13)의 노출된 부분을 불산(HF)으로 습식 식각하거나 반응성이온식각(Reactive Ion Etching : 이하, RIE라 칭함) 등의 건식 식각하여 제거한다. 상기에서 잔류하는 장벽층(13), 구리배선층(15) 및 캡층(17)은 게이트전극(21)이 된다.

도 1c를 참조하면, 마스크(19)를 제거한다. 그리고, 절연기판(11) 상에 게이트전극(21)을 덮도록 게이트절연층(23), 활성층(25) 및 오믹접촉층(27)을 화학기상증착(Chemical Vapor Deposition : 이하, CVD라 칭함) 방법으로 순차적으로 형성한다. 상기에서 게이트절연층(23)은 질화실리콘 또는 산화실리콘 등의 절연물질로 형성하고, 활성층(25)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 오믹접촉층(27)은 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다. 이 때, 캡층(17)은 구리배선층(15)의 구리 성분이 게이트절연층(23)으로 확산되는 것을 방지하여 절연 특성 등의 물리적 특성이 저하되는 것을 방지한다.

오믹접촉층(27) 및 활성층(25)의 게이트(21)와 대응되는 부분을 제외한 나머지 부분을 RIE 등의 건식 식각을 포함하는 포토리소그래피 방법으로 게이트절연층(23)이 노출되도록 패터닝한다.

도 1d를 참조하면, 게이트절연층(23) 상에 오믹접촉층(27)을 덮도록 도전성금속을 CVD 방법이나 스퍼터링 방법으로 증착하여 금속 박막을 형성한다. 상기에서 오믹접촉층(19)과 금속 박막은 오믹 접촉을 이룬다.

그리고, 금속 박막을 포토리소그래피 방법으로 게이트절연층(23)이 노출되도록 패터닝하여 소오스 및 드레인전극(28)(29)을 형성한다. 이 때, 소오스 및 드레인전극(28)(29) 사이의 게이트전극(21)과 대응하는 부분의 오믹접촉층(27)도 제거되어 활성층(25)이 노출된다. 상기에서 활성층(25)의 소오스 및 드레인전극(28)(29) 사이의 게이트전극(21)과 대응하는 부분은 채널 영역이 된다.

상술한 바와 같이 종래 기술에 따른 박막트랜지스터의 제조방법은 게이트전극을 형성하기 위해 절연기판 상에 고용점 금속의 장벽층, 구리배선층 및 고용점 금속의 캡층을 형성하여 장벽층 및 캡층에 의해 구리배선층의 구리 성분이 절연기판과 이후에 형성될 게이트절연층으로 확산되는 것을 방지하므로 절연기판과 게이트전극의 접착력을 향상시키고 게이트절연층의 절연 특성 등의 물리적 특성이 저하되는 것을 방지한다.

그러나, 종래 기술에 따른 박막트랜지스터의 제조 방법은 고용점 금속의 장벽층 및 캡층이 구리배선층과 에chant(etchant)가 다른 물질로 형성되므로 게이트전극을 패터닝할 때 3번의 식각을 하여야 하므로 공정이 복잡한 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 게이트전극을 패터닝할 때 식각 공정 수를 줄여 공정을 단순화할 수 있는 박막트랜지스터의 제조방법을 제공함에 있다.

상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 박막트랜지스터의 제조방법은 절연기판 상에 질화구리(CuN)의 장벽층, 구리배선층 및 캡층을 순차적으로 형성하는 공정과, 상기 캡층, 구리배선층 및 장벽층을 패터닝하여 배선을 형성하고 적어도 상기 구리배선층 및 장벽층을 한 번에 식각하는 공정을 구비한다.

상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 박막트랜지스터의 제조방법은 절연기판 상에 질화구리(CuN)의 장벽층 및 구리배선층을 순차적으로 형성하고 동시에 패터닝하여 게이트전극을 형성하는 공정과, 상기 절연기판 상에 상기 게이트전극을 덮도록 게이트절연층, 활성층 및 오믹접촉층을 순차적으로 형성하는 공정과, 상기 오믹접촉층 및 활성층을 상기 게이트와 대응되는 부분을 제외한 나머지 부분을 상기 게이트절연층이 노출되도록 패터닝하는 공정과, 상기 오믹접촉층과 접촉되어 전기적으로 연결되는 소오스 및 드레인전극을 형성하는 공정을 구비한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

도 2a 내지 도 2c는 본 발명에 따른 박막트랜지스터의 제조 공정도이다.

도 2a를 참조하면, 석영 또는 유리 등의 절연기판(31) 상에 질화구리(CuN)를 증착하여 장벽층(33)을 형성한다. 상기에서 장벽층(33)은 증착되는 구리(Cu)와 반응하여 질화구리(CuN)를 이루도록 챔버(chamber) 내에 질소(N_2) 가스를 주입하는 반응성 스퍼터링(reactive sputtering) 방법으로 형성된다. 연속해서, 동일한 챔버 내에 질소(N_2) 가스의 주입을 차단하면서 구리를 증착하여 구리배선층(35)을 형성한다.

그리고, 다시, 챔버(chamber) 내에 질소(N_2) 가스를 주입하는 반응성 스퍼터링(reactive sputtering) 방법으로 구리배선층(35) 상에 질화구리(CuN)를 증착하여 캡층(37)을 형성한다. 상기에서 캡층(37)을 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo), 크롬(Cr), 니켈(Ni) 또는 백금(Pt) 등의 고용점 금속을 증착하여 형성할 수도 있다.

상기에서 장벽층(33)을 이루는 질화구리(CuN)는 구리배선층(35)의 구리 성분이 절연기판(31)로 확산되는 것을 방지할 뿐만 아니라 화학적으로 안정하므로 절연기판(31)과 접착력이 크다.

캡층(37) 상에 포토레지스트를 도포하고 노광 및 현상하여 캡층(37)의 소정 부분을 제외한 나머지 부분을

노출시키는 마스크(39)를 형성한다. 마스크(39)를 식각 마스크로 사용하여 캡층(37), 구리배선층(35) 및 장벽층(33)을 인산(H_3PO_4), 질산(HNO_3), 초산, $(NH_4)_2S_2O_8$ 또는 인산+초산+질산+물의 혼산으로 한 번에 습식 식각하여 게이트전극(41)을 형성한다. 이는 캡층(37) 및 장벽층(33)이 구리배선층(35)과 동일한 에천트에 식각되므로 게이트전극(41)을 한 번의 식각 공정에 의해 형성할 수 있다.

또한, 캡층(37)이 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo), 크롬(Cr), 니켈(Ni) 또는 백금(Pt) 등의 고용점 금속으로 형성된 경우에는 이 캡층(37)을 불산(HF) 또는 인산+초산+질산+물의 혼산으로 식각한 후 구리배선층(35) 및 장벽층(33)을 동시에 식각할 수도 있다. 이러한 경우에는 게이트전극(41)은 2번의 식각 공정으로 형성된다.

도 2b를 참조하면, 마스크(39)를 제거한다. 그리고, 절연기판(31) 상에 게이트전극(41)을 덮도록 게이트절연층(43), 활성층(45) 및 오믹접촉층(47)을 CVD 방법으로 순차적으로 형성한다. 상기에서 게이트절연층(43)은 질화실리콘 또는 산화실리콘 등의 절연물질로 형성하고, 활성층(45)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 오믹접촉층(47)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다. 이 때, 캡층(37)은 구리배선층(35)의 구리 성분이 게이트절연층(43)으로 확산되는 것을 방지하여 이 게이트절연층(43)의 절연 특성 등의 물리적 특성이 저하되는 것을 방지한다.

오믹접촉층(47) 및 활성층(45)의 게이트(41)와 대응되는 부분을 제외한 나머지 부분은 RIE 등의 건식 식각을 포함하는 포토리소그래피 방법으로 게이트절연층(43)이 노출되도록 패터닝한다.

도 2c를 참조하면, 게이트절연층(43) 상에 오믹접촉층(47)을 덮도록 몰리브덴(Mo)과 MoW, MoTa 및 MoNb 등의 몰리브덴 합금 중 하나를 CVD 방법이나 스퍼터링 방법으로 증착하여 금속 박막을 형성한다. 상기에서 오믹접촉층(39)과 금속 박막은 오믹 접촉을 이룬다.

그리고, 금속 박막을 포토리소그래피 방법으로 게이트절연층(43)이 노출되도록 패터닝하여 소오스 및 드레인전극(48)(49)을 형성한다. 이 때, 소오스 및 드레인전극(48)(49) 사이의 게이트전극(41)과 대응하는 부분의 오믹접촉층(47)도 제거되어 활성층(45)이 노출된다. 상기에서 활성층(45)의 소오스 및 드레인전극(48)(49) 사이의 게이트전극(21)과 대응하는 부분은 채널 영역이 된다.

상술한 바와 같이 본 발명에 따른 박막트랜지스터의 제조방법은 이루는 장벽층을 질화구리(CuN)으로 형성하므로 구리배선층과 동시에 식각할 수 있다.

발명의 효과

따라서, 본 발명은 장벽층과 구리배선층을 동시에 식각하므로 게이트전극을 형성하기 위한 식각 공정 수가 감소되는 잇점이 있다.

(57) 청구의 범위

청구항 1

절연기판 상에 질화구리(CuN)의 장벽층, 구리배선층 및 캡층을 순차적으로 형성하는 공정과,

상기 캡층, 구리배선층 및 장벽층을 패터닝하여 배선을 형성하고 적어도 상기 구리배선층 및 장벽층을 한 번에 식각하는 공정을 구비하는 박막트랜지스터의 제조방법.

청구항 2

청구항 1에 있어서 상기 장벽층과 구리배선층을 동일한 챔버(chamber) 내에서 연속적으로 형성하는 박막트랜지스터의 제조방법.

청구항 3

청구항 2에 있어서 상기 장벽층을 구리(Cu)와 반응하여 질화구리(CuN)를 이루도록 상기 챔버 내에 질소(N_2) 가스를 주입하는 반응성 스퍼터링(reactive sputtering) 방법으로 형성하는 박막트랜지스터의 제조방법.

청구항 4

청구항 1에 있어서 상기 캡층을 질화구리(CuN)를 반응성 스퍼터링 방법으로 증착하여 형성하는 박막트랜지스터의 제조방법.

청구항 5

청구항 1에 있어서 상기 캡층을 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo), 크롬(Cr), 니켈(Ni) 또는 백금(Pt)의 고용점 금속으로 형성하는 박막트랜지스터의 제조방법.

청구항 6

청구항 1 또는 청구항 4에 있어서 상기 배선을 상기 캡층, 구리배선층 및 장벽층을 인산(H_3PO_4), 질산(HNO_3), 초산, $(NH_4)_2S_2O_8$ 또는 인산+초산+질산+물의 혼산으로 한 번의 식각 공정으로 패터닝하여 형성하는 박막트랜지스터의 제조방법.

청구항 7

절연기판 상에 질화구리(CuN)의 장벽층 및 구리배선층을 순차적으로 형성하고 동시에 패터닝하여 게이트전

극을 형성하는 공정과,

상기 절연기판 상에 상기 게이트전극을 덮도록 게이트절연층, 활성층 및 오믹접촉층을 순차적으로 형성하는 공정과,

상기 오믹접촉층 및 활성층을 상기 게이트와 대응되는 부분을 제외한 나머지 부분을 상기 게이트절연층이 노출되도록 패터닝하는 공정과,

상기 오믹접촉층과 접촉되어 전기적으로 연결되는 소오스 및 드레인전극을 형성하는 공정을 구비하는 박막트랜지스터의 제조방법.

청구항 8

청구항 7에 있어서 상기 장벽층과 구리배선층을 동일한 챔버(chamber) 내에서 연속적으로 형성하되 상기 장벽층을 구리(Cu)와 반응하여 질화구리(CuN)를 이루도록 상기 챔버 내에 질소(N_2) 가스를 주입하는 반응성 스퍼터링(reactive sputtering) 방법으로 형성하는 박막트랜지스터의 제조방법.

청구항 9

청구항 7에 있어서 상기 구리배선층 상에 캡층을 형성하는 공정을 더 구비하는 박막트랜지스터의 제조방법.

청구항 10

청구항 9에 있어서 상기 캡층을 질화구리(CuN)로 형성하는 박막트랜지스터의 제조방법.

청구항 11

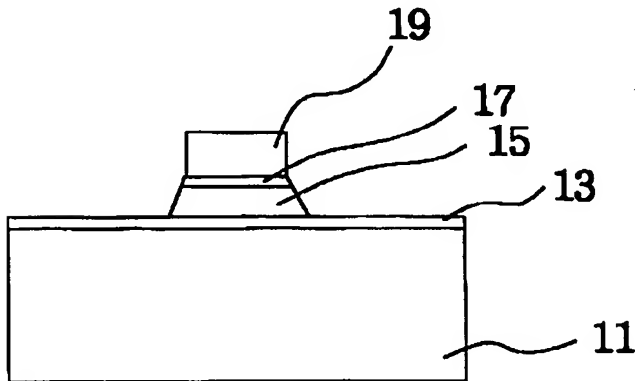
청구항 10에 있어서 상기 게이트를 상기 캡층, 구리배선층 및 장벽층을 인산(H_3PO_4), 질산(HNO_3), 초산, $(NH_4)_2S_2O_8$ 또는 인산+초산+질산+물의 혼합액으로 한 번의 식각 공정으로 패터닝하여 형성하는 박막트랜지스터의 제조방법.

청구항 12

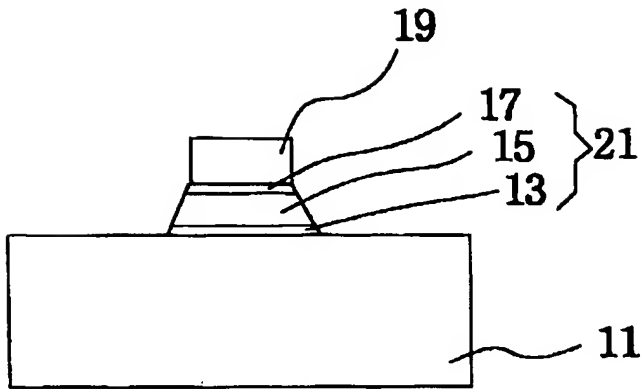
청구항 9에 있어서 상기 캡층을 또는 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo), 크롬(Cr), 니켈(Ni) 또는 백금(Pt)의 고용점 금속으로 형성하는 박막트랜지스터의 제조방법.

도면

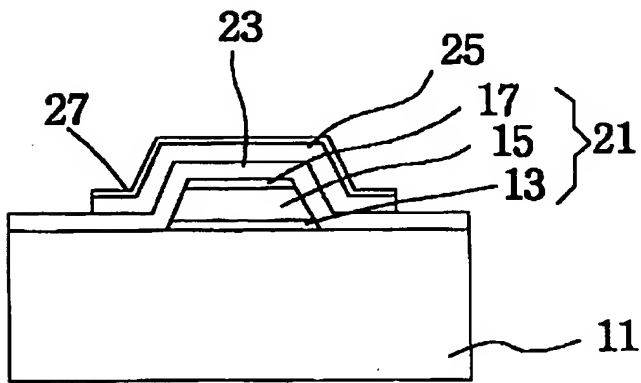
도면 1a



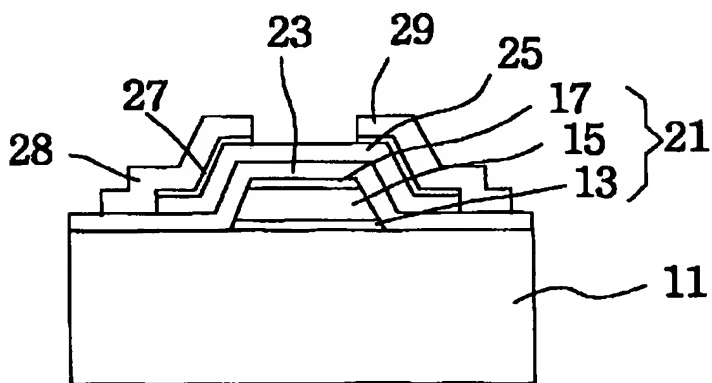
도면1b



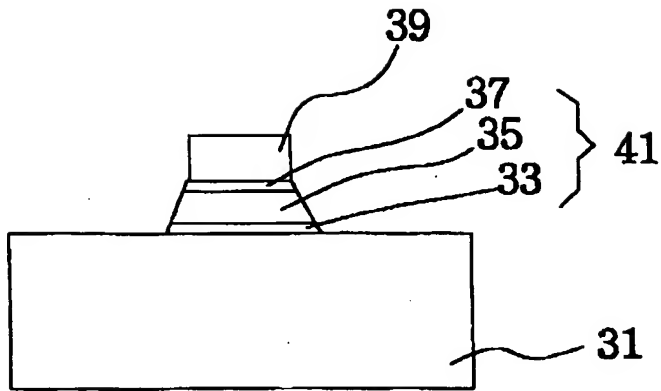
도면1c



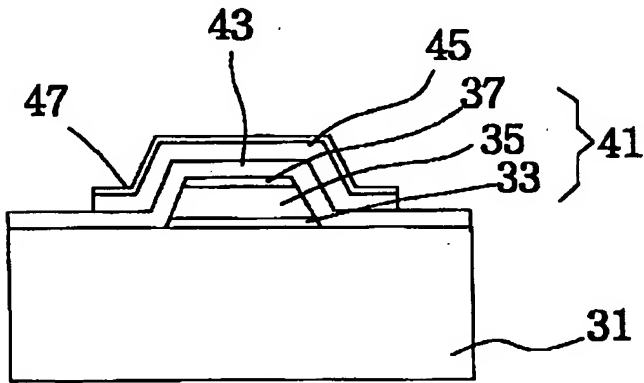
도면1d



도면2a



도면2b



도면2c

